

===== WPI =====

TI - Semiconductor device manufacturing method, involves laminating silicon oxide film with polysiloxane and polysilazane spin on glass coating films sequentially and heating coated silicon oxide under and decompressed state

AB - JP2000058646 NOVELTY - A silicon oxide film (6) is coated with a polysiloxane and a polysilazane spin on glass (SOG) films (7,8) sequentially. The coated silicon oxide film is heat treated under decompressed state to decompression heat.

- USE - For manufacturing semiconductor device.

- ADVANTAGE - Dimensional accuracy of patterning is improved by photolithography of electrical conducting wiring. Deposition of flattening film structure enhances uniformity therefore local stress concentration from package is reduced. Decompression heat treat process promotes elimination of H<sub>2</sub>O, NH<sub>3</sub> and alcohol. This electromigration of electrically conducting wiring is prevented and hence semiconductor device reliability is improved. Since polysiloxane group SOG and polysilazane group SOG are formed sequentially by coating process manufacturing time is shortened product yield is improved.

- DESCRIPTION OF DRAWING(S) - The figure shows sectional view of process involved in manufacture of semiconductor device.

- Silicon oxide film 6

- Polysiloxane group SOG 7

- Polysilazane group SOG 8

- (Dwg. 1/4)

PN - JP2000058646 A 20000225 DW200021 H01L21/768 008pp

PR - JP19980229219 19980814

PA - (NIDE ) NEC CORP

MC - A06-A00C A11-B05 A11-B09A A12-E07C L04-C12A L04-C12D L04-C12E L04-C16

U11-C05B7 U11-C05D

DC - A85 L03 U11

IC - H01L21/316 ;H01L21/768

AN - 2000-242464 [21]

===== PAJ =====

TI - MANUFACTURE OF SEMICONDUCTOR DEVICE

AB - PROBLEM TO BE SOLVED: To improve quality and flatness by thermally treating a flattened film at a low pressure after a silicon oxide film formed on a step difference part is coated with a polysiloxane based SOG (spin on glass) and it is coated with polysilazane based SOG.

- SOLUTION: A field oxide film 2 is formed surrounding a diffusion region of a silicon substrate 1. After a polycrystalline silicon layer is deposited on the field oxide film 2, a gate wiring pattern 3 is formed by photolithography. On the pattern 3, a BPSG(boron phosphorus containing silicate glass) film 4 is deposited, on which an aluminum alloy layer is formed. An aluminum wiring is patterned, and aluminum wiring patterns 5 are formed, on which a silicon oxide film 6 is deposited. Polysiloxane based SOG 7 to be buried in recessed parts between the aluminum wiring patterns 5 which cannot be filled with the silicon oxide film 6 is spin-coated. The SOG 7 is coated with polysilazane based SOG 8.

PN - JP2000058646 A 20000225

PD - 2000-02-25

ABD - 20000914

ABV - 200005

AP - JP19980229219 19980814

PA - NEC CORP

IN - NAKAMURA MITSUYOSHI

I - H01L21/768 ;H01L21/316

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-58646

(P2000-58646A)

(43)公開日 平成12年2月25日 (2000.2.25)

(51)Int.Cl.<sup>7</sup>

H 01 L 21/768  
21/316

識別記号

F I

テ-マコード<sup>8</sup> (参考)

H 01 L 21/90  
21/316

Q 5 F 0 3 3  
M 5 F 0 5 8

審査請求 有 請求項の数 6 ○ L (全 8 頁)

(21)出願番号 特願平10-229219

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(22)出願日 平成10年8月14日 (1998.8.14)

(72)発明者 中村 光良

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100096035

弁理士 中澤 昭彦

Fターム(参考) 5F033 AA63 BA12 EA03 EA25 EA27

EA29 EA32

5F058 BC02 BF07 BF23 BF46 BH01

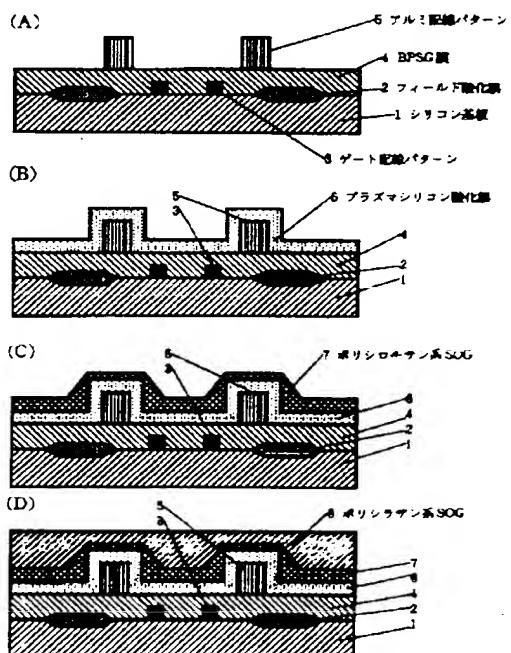
BH08 BJ02

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】良質で平坦性の優れた平坦化膜を備えた半導体装置の製造方法を提供する。

【解決手段】段差部を平坦化する平坦化膜を備えた半導体装置の製造方法であって、平坦化膜は、段差部上にシリコン酸化膜6を形成する工程と、シリコン酸化膜6上にポリシリコキサン系SOG(スピノングラス)7を被覆する工程と、ポリシリコキサン系SOG7上にポリシリザン系SOG8を被覆する工程と、積層された膜を減圧熱処理する工程と、により形成される。



## 【特許請求の範囲】

【請求項1】段差部を平坦化する平坦化膜を備えた半導体装置の製造方法であって、前記平坦化膜は、前記段差部上にシリコン酸化膜を形成する工程と、前記シリコン酸化膜上にポリシロキサン系SOG(スピノングラス)を被覆する工程と、前記ポリシロキサン系SOG上にポリシラザン系SOGを被覆する工程と、前記積層された膜を減圧熱処理する工程と、により形成されることを特徴とする半導体装置の製造方法。

【請求項2】前記減圧熱処理する工程の後に、前記ポリシラザン系SOG上にシリコン酸化膜を被覆する工程を有することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】前記シリコン酸化膜は、TEOS(テトラエトキシオルソシラン)を原料としたアラズマシリコン酸化膜、SiH<sub>4</sub>を原料としたアラズマシリコン酸化膜又はSiH<sub>2</sub>を原料とした低温熱酸化膜からなる群から選択される物質であることを特徴とする請求項1又は2に記載の半導体装置の製造方法。

【請求項4】前記減圧熱処理する工程は、350乃至550°Cの範囲内で行われることを特徴とする請求項1乃至3のいずれか1つの項に記載の半導体装置の製造方法。

【請求項5】前記平坦化膜は、層間絶縁膜であることを特徴とする請求項1乃至4のいずれか1つの項に記載の半導体装置の製造方法。

【請求項6】前記平坦化膜は、バッシベーション膜であることを特徴とする請求項1乃至4のいずれか1つの項に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、特に、段差部を平坦化する層間絶縁膜又はバッシベーション膜等の平坦化膜を備えた半導体装置の製造方法に関する。

## 【0002】

【従来の技術】近年、半導体装置の高集積化・高速化に伴い、多層配線で半導体素子間を接続することが行われている。多層配線のチップの表面は凹凸状の段差部を有するので、その段差部を平坦化するために層間絶縁膜又はバッシベーション膜等の平坦化膜を被覆する必要がある。

【0003】通常、層間絶縁膜としては、リン含有シリケートガラス(PSG)、ボロン・リン含有シリケートガラス(BPSG)等が使用される。不純物を一定以上含有したこれらのシリケートガラスは軟化点が下降し、高温炉で一定時間以上熱処理することにより、表面の段差部をカバーするようにリフローするため、この現象を

利用したリフロー法が採用されている。

【0004】しかし、リフロー法は800~900°Cの高温で行われるため、アルミ配線等耐熱性の低い配線層を導電層として使用している場合にはリフロー法の採用は困難である。

【0005】そこで、より低温での平坦化を実現するため、テトラエトキシオルソシラン(TEOS)とオクチル(OC)をアラズマ中で反応させたアラズマTEOSシリコン酸化膜を使用する方法が知られている。この方法では比較的配線の間隔が狭いパターンに対して有効であるが、広い凹部が存在すると、その凹部の埋め込み性が低下するため有効とはいえない。

【0006】また、アラズマTEOS酸化膜とポリシロキサン系スピノングラス(SOG)を組み合わせることにより、広い凹部での平坦性をポリシロキサン系SOGの埋設性を利用して、平坦性を向上させる方法が提案されている。しかし、アラズマTEOS酸化膜とポリシロキサン系SOGとの組合せは、アルミ配線の段差部が大きい場合、低粘性のポリシロキサン系SOGを一度塗布しただけでは十分な埋設性を得ることは難しく、従って、数度ポリシロキサン系SOGを塗布して膜厚を厚くしたり、下層のアラズマ酸化膜を厚くして埋設性を向上させようとしている。この方法では層間膜の膜厚均一性が悪化したり、また、アラズマ酸化膜を厚くすることにより、狭い配線間隔を持つアルミ配線パターンではアラズマ酸化膜の堆積が配線パターンの上部でオーバーハングし、ボイドが発生するという問題を生じる。さらに、ポリシロキサン系SOGの重ね塗りは時間を要し、半導体製造の生産性を低下させる。

【0007】そのため、狭い配線間隔でも十分に埋設でき、また厚い配線に対しても同様の効果が得られるように、ポリシラザン系SOGを使用する方法が提案されている。ポリシラザン系SOG単層による平坦化では狭い配線間隔でも十分に埋設でき、また厚い配線に対しても同様の効果が得られる。

【0008】また、特開平8-148559号公報では、表面に段差を有する基板表面上にポリシラザンを塗布する工程と、ポリシラザンを非酸化性雰囲気中でキュアする工程とを含む半導体装置の製造方法が開示されている。この従来の半導体装置の製造方法は又、ポリシラザン塗布前にアラズマCVDによるPEI層を形成する点が開示されている。

## 【0009】

【発明が解決しようとする課題】しかし、従来のポリシラザン系SOGを用いた方法では、ポリシラザン系SOGをシリケートガラスに変化させるために、水蒸気雰囲気中で加水分解重縮合反応を進行させる必要性があり、水蒸気雰囲気での処理のため、H<sub>2</sub>Oのアルミ配線へのダメージが大きく、また、加水分解重縮合反応によって生成されたアンモニア(NH<sub>3</sub>)によりアルミ配線がダ

メージを受けるおそれがある。このアルミ配線へのダメージが大きくなると、腐食が発生するか、または、腐食まで至らないものの、配線が欠損し、局所的に配線幅が狭くなる場合がある。配線幅が狭くなるとその部分に流れる電流密度が増加し、エレクトロマイグレーション現象が発生しやすくなる。欠損が大きくなると断線に至る場合もあり、信頼性上、大きな問題を招くおそれがある。

【0010】また、特開平8-148559号公報には、ポリシラザン塗布前にプラズマCVDによるTEOS膜を形成する点が開示されているが、ポリシラザン系SOGとポリシロキサン系SOGシリコン酸化膜の3層構造を形成する点は開示されておらず、減圧熱処理工程により、反応生成物であるアンモニア(NH<sub>3</sub>)、アルコール(ROH)を強制排出する点についても開示されていない。

【0011】本発明は、上記課題を解決するためになされたものであり、良質で平坦性の優れた平坦化膜を備えた半導体装置の製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明の半導体装置の製造方法は、段差部を平坦化する平坦化膜を備えた半導体装置の製造方法であって、平坦化膜は、段差部上にシリコン酸化膜を形成する工程と、シリコン酸化膜上にポリシロキサン系SOG(スピンドルグラス)を被覆する工程と、ポリシロキサン系SOG上にポリシラザン系SOGを被覆する工程と、積層された膜を減圧熱処理する工程と、により形成されることを特徴とするものである。

【0013】減圧熱処理する工程の後に、ポリシラザン系SOG上にシリコン酸化膜を被覆する工程を有してもよい。

【0014】上記シリコン酸化膜は、TEOS(テトラエトキシオルソシリラン)を原料としたプラズマシリコン酸化膜、SiH<sub>4</sub>を原料としたプラズマシリコン酸化膜又はSiH<sub>4</sub>を原料とした低温熱酸化膜からなる群から選択される物質であるのが好ましい。

【0015】減圧熱処理する工程は、350乃至550℃の範囲内で行われるのが好ましい。

【0016】上記平坦化膜は、例えば、層間絶縁膜、バッファーレイヤー膜である。

【0017】本発明によれば、平坦化膜にポリシラザン系SOGとポリシロキサン系SOGとを有するので、配線層等の段差部の平坦性がより向上する。

【0018】また、従来個別に使用されていたポリシロキサン系SOGとポリシラザン系SOGを併せて使用することにより、各々単体で使用していた際に得られなかった平坦性の実現と、残留ガスが少ない良好な平坦化膜を得ることができ。特に、ポリシラザン系SOGを単体で使用する場合、水蒸気雰囲気で加熱処理を実施するため、アルミ配線が雰囲気中のH<sub>2</sub>O、または反応生成

物であるNH<sub>3</sub>により腐食を誘発される危険性が多大にあった。それに反して、本発明では減圧雰囲気中にて加熱処理するために、反応生成物であるアンモニア(NH<sub>3</sub>)、アルコール(ROH)は減圧処理にて強制排出されるため、アルミ配線が腐食されることではなく、また、配線の欠損もみられない、という効果が得られる。

【0019】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照しながら説明する。図1は、本発明の第1の実施の形態に係る半導体装置の製造方法を工程順に示す断面図である。

【0020】まず、図1(A)に示すように、シリコン基板1の拡散領域を囲むように、素子間を電気的に絶縁分離するためのフィールド酸化膜2をLOCOS(Local oxidation of silicon)法によって形成する。

【0021】次いで、フィールド酸化膜2を形成する際にマスクとして使用したシリコン窒化膜とその下部のシリコン酸化膜を除去した後、ケート酸化膜としての極薄膜のシリコン酸化膜を成長させる。その後、多結晶シリコン層をCVD法により拡散層を形成したシリコン基板1上に堆積させる。

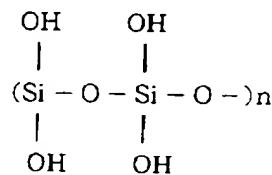
【0022】次いで、上記の積層構造を有するシリコン基板1にフォトリソグラフィを用いてゲート配線パターン3をバーニングする。イオン注入によりMOSFETのソース・トレイン領域や抵抗領域等を形成する。これらの素子を形成した後、TEOS、ジボラン(B<sub>2</sub>H<sub>6</sub>)、オスフィン(PH<sub>3</sub>)を原料としたBPSG膜4をCVD法により基板表面全体を覆うように堆積させる。このBPSG膜4はリフローして平坦化させ、ゲート配線パターン3と上部の配線パターンとの絶縁膜として機能する。BPSG膜4上にシリコン1%、銅0.5%を含むアルミニ合金層を約700nm程度、スパッタ法で形成する。その後、フォトリソグラフィにより、導電層であるアルミ配線をバーニングし、エッチングによりアルミ配線パターン5を形成する。アルミ配線パターン5をバーニングした結果、ウェハ表面に約700nmの凹凸状の段差部が形成される。

【0023】次いで、図1(B)に示すように、アルミ配線パターン5上にTEOSを原料として作製されたプラズマシリコン酸化膜6をCVD法により堆積する。プラズマシリコン酸化膜6は、後述するポリシロキサン系SOG7をキュアすることにより発生するH<sup>+</sup>イオン、或いはOH<sup>-</sup>イオンのアルミ配線パターン5への悪影響を防ぐために用いられる。また、TEOSを用いてCVDで堆積した酸化膜6には自己平坦化機能があり、後述するポリシロキサン系SOG7をスピンドルコートする前にTEOSを用いたプラズマシリコン酸化膜6を形成することにより、表面の凹部をある程度、埋設することができる。

【0024】次いで、図1(C)に示すように、グラフ

マシリコン酸化膜6で埋設できなかったアルミ配線バターンう間の凹部を埋没させるように、ポリシロキサン系SOG7をスピニコートする。このポリシロキサン系SOG7をスピニコートする。

**化学式1**



OOG7は下記の化学式1の構造を有する。

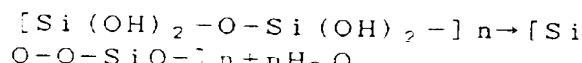
【0025】

【化1】

ここで、nは50～5000程度の整数である。このポリシロキサン系SOG7は、上記プラズマシリコン酸化膜6で埋設できなかった凹部を埋設することができるが、従来の方法では、このポリシロキサン系SOG7の粘性が0.1cpと低いため、一度のスピニコートで埋設できる凹部は限られており、数度回数を重ねて塗布するか、または下層のプラズマTEOSシリコン酸化膜を十分に厚く堆積する必要があった。

【0026】そのポリシロキサン系SOG7は化学式1

を基本とする構造を有しているため、加熱処理をすると、

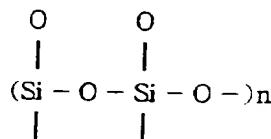


という反応式で示される脱水重縮合反応を起こし、その結果、下記の化学式2の構造を有するシリコン酸化膜を形成することができる。

【0027】

【化2】

## 化学式2



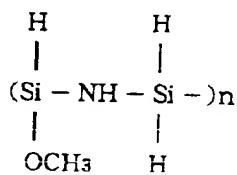
この反応が進行した結果、反応生成物として  $\text{H}_2\text{O}$  が発生する。

【0028】次いで、図1(D)に示すように、ポリシリコン系SOG7の上層に粘性の高いポリシラザン系SOG8をスピンドルコートし、従来のポリシリコン系SOG7、または、ポリシラザン系SOG8単体で形成された層間膜より平坦性を上昇させることができる。ポリシラザン系SOG8は下記の化学式3の構造を有する。

【0029】

【化3】

## 化学式3



ここで、nは50～5000程度の整数である。ポリシラザン系SOG8は水蒸気雰囲気中で熱処理することにより、

$[\text{SiH}(\text{OCH}_3) - \text{NH} - \text{SiH}]_n + n\text{H}_2\text{O} \rightarrow [\text{SiO} - \text{O} - \text{SiO} - ]_n + n\text{NH}_3 + n\text{CH}_3\text{OH}$  (その他)

の反応式で示される加水分解重縮合反応が進行し、化学式2の骨格を有するシリコン酸化膜を形成することができる。しかしながら、この反応の結果、アンモニア ( $\text{NH}_3$ )、アルコール ( $\text{ROH}$ )、等不純物が発生する。

特に、 $\text{NH}_3$  は腐食性ガスであり、このガスが下層導電層であるアルミ合金バターンと化学反応し、腐食が発生するおそれがある。また、腐食まで至らないものの、配線が欠損し、局所的に配線幅が狭くなる場合がある。配線幅が狭くなるとその部分に流れる電流密度が増加し、エレクトロマイグレーション現象が発生しやすくなる。欠損が大きくなると断線に至る場合もある。

【0030】そこで、ポリシラザン系SOG8／ポリシリコン系SOG7／プラズマシリコン酸化膜6を形成した後、350～550°Cの範囲で、減圧熱処理を行う。減圧熱処理のため、ポリシラザン系SOG8が重縮合反応を起こした結果生じたアンモニア ( $\text{NH}_3$ )、アルコール ( $\text{ROH}$ ) を強制排出することができる。

【0031】また、ポリシラザン系SOG8の加水分解のための  $\text{H}_2\text{O}$  はポリシリコン系SOG7が加熱処理により重縮合反応を起こした結果生じた  $\text{H}_2\text{O}$  により供給される。

【0032】従って、ポリシリコン系SOG7の重縮合反応の結果生じた  $\text{H}_2\text{O}$  はポリシラザン系SOG8の加水分解重縮合反応に使用され、その反応の結果生じたアンモニア ( $\text{NH}_3$ )、アルコール ( $\text{ROH}$ ) は減圧処理にて強制排出される。このため、層間膜中に残存する残留ガスが少なく、平坦性の優れた絶縁層間膜を得ることができ、上層のアルミ合金層のフォトリソクラフィによるパターニングの寸法精度が上昇するという効果がもたらされる。

【0033】本発明によれば、ポリシラザン系SOG8／ポリシリコン系SOG7／プラズマシリコン酸化膜

らの3層構造を有する層間絶縁膜は、アルミ配線パターンにより形成された段差を十分に被覆し、良好な平坦性を得ることができる。

【0034】また、減圧熱処理を施すことによりポリシラザン系SOG8膜から発生する反応生成物であり、かつ層間絶縁膜の膜質等に悪影響を及ぼすH<sub>2</sub>O、NH<sub>3</sub>、R<sub>1</sub>OH（アルコール；R<sub>1</sub>はアルキル基を示す。）を強制的に排出し除去する。その結果、層間絶縁膜中に残存する残留ガスが少なく、良質で平坦性の優れた層間絶縁膜を得ることができる。

【0035】また、層間絶縁膜の平坦性が良好なため、上層のアルミ合金パターンのフォトリソクラフィによるバーニングの寸法精度が上昇するという効果がある。

【0036】さらに、不純物が非常に少ない層間絶縁膜が得られるので、アルミ配線のエレクトロマイグレーションを防止でき、半導体装置の信頼性が向上する。

【0037】上記実施の形態では、第1層のシリコン酸化膜6はSiH<sub>4</sub>を原料としたプラズマシリコン酸化膜、またはSiH<sub>4</sub>を原料とした低温熱酸化膜（LTO；LowTemperature Oxide）であってもよい。

【0038】図2は、本発明の第2の実施の形態を説明するための断面図である。図2に示すように、減圧熱処理工程が終了した後に、層間絶縁膜の層膜をさらに厚くするために、プラズマシリコン酸化膜、またはSiH<sub>4</sub>を原料としたプラズマシリコン酸化膜、あるいはSiH<sub>4</sub>を原料とした低温熱酸化膜（LTO）を堆積し、シリコン酸化膜9／ポリシラザン系SOG8／ポリシロキサン系SOG7／プラズマシリコン酸化膜6の4層構造とすることも可能である。

【0039】第1及び第2の実施の形態では、本発明を層間絶縁膜に適応したが、バッシャーション膜についても適応することができる。図3は、本発明をバッシャーション膜構造について適応した第3の実施の形態を説明するための断面図である。第3の実施の形態のバッシャーション膜は、図3に示すように、ポリシラザン系SOG8／ポリシロキサン系SOG7／プラズマシリコン酸化膜6の層構造を有し、オーリシラザン系SOG8上にカバー膜10であるプラズマシリコン酸化膜、プラズマシリコン酸化膜又はプラズマシリコン塗化膜等が被覆される。

【0040】従って、第3の実施の形態のバッシャーション膜ではウェハ表面が平坦化されているため、カバー膜10が均一に堆積されることになる。従って、従来のカバー膜のように局所的に膜厚が薄くなり、バッシャーション膜の効果が低減するというような不具合がなくなる。また、均一にカバー膜10が堆積されていることから、パッケージからの局所的な応力集中によるダメージを軽減することができる。

【0041】このバッシャーション膜では、シリコン酸化膜6の代りに、SiH<sub>4</sub>を原料としたプラズマシリコ

ン酸化膜、またはSiH<sub>4</sub>を原料とした低温熱酸化膜（LTO）としてもよい。

【0042】図4は、本発明をバッシャーション膜構造について適応した第4の実施の形態を説明するための断面図である。図4に示すように、減圧熱処理工程が終了した後、バッシャーション膜の層膜をさらに厚くするために、プラズマTETEOSシリコン酸化膜、またはSiH<sub>4</sub>を原料としたプラズマシリコン酸化膜、あるいはSiH<sub>4</sub>を原料とした低温熱酸化膜（LTO）を堆積し、シリコン酸化膜11／ポリシラザン系SOG8／オーリシロキサン系SOG7／プラズマシリコン酸化膜6の層構造とすることも可能である。

【0043】本発明は、上記実施の形態に限定されることはなく、特許請求の範囲に記載された技術的事項の範囲内において、種々の変更が可能である。

#### 【0044】

【実施例】次に、本発明の実施例を説明する。図1（A）に示すように、アルミ配線パターン5をバーニングした結果、ウェハ表面に約700nmの凹凸状の段差部が形成される。図1（B）に示すように、アルミ配線パターン5を覆うようにTEOSを原料としてプラズマシリコン酸化膜6をCVD法にて堆積する。プラズマシリコン酸化膜6は統一して塗布するポリシロキサン系SOG7の重縮合反応により生成するH<sub>2</sub>のアルミ配線パターン5への腐食誘発を妨げる効果がある。

【0045】次いで、図1（C）に示すように、プラズマシリコン酸化膜6を堆積した後、ポリシロキサン系SOG7をスピンドルにより2000nm塗布し、N<sub>2</sub>雰囲気、120°C、時間3分程度の熱処理をホットプレートで行う。この熱処理によりポリシロキサン系SOG7の溶媒成分（アルコール系）を除去し、ポリシロキサンの濃度を高める。ここで塗布後の膜厚はウェハの場所により異なり、厳密な値ではない。塗布膜厚は統一して塗布するポリシラザン系SOG8の加水分解重縮合反応に必要なH<sub>2</sub>Oを供給できる量であればよい。

【0046】次いで、図1（D）に示すように、上記のアレキニアを実施したウェハ上に統一してポリシラザン系SOG8を600nm程度スピンドルコートする。その際、オーリシロキサン系SOG7と同様、N<sub>2</sub>雰囲気、120°C、時間3分程度の熱処理をホットプレートで行う。これによって、ポリシラザン系SOG8に含まれている溶媒成分を除去する。ポリシラザン系SOG8／ポリシロキサン系SOG7／プラズマシリコン酸化膜6の層構造になった。ウェハを400°C程度の温度にて減圧処理を行なう。このような方法で作成した層間絶縁膜は図1（D）に示すように平坦な表面を有する。

【0047】本実施例による方法によれば、減圧熱処理という工程を採用しているので、不安定なポリシラザン系SOG8を加水分解重縮合反応でシリコン酸化膜へ変化させる反応で発生する反応生成物のアンモニア（NH<sub>3</sub>）

）、アルコール（E.O.H.）等の不純物を強制的に除去することができ、その結果、良質な層間絶縁膜等の平坦化膜を得ることができる。

## 【0048】

【発明の効果】本発明によれば、平坦化膜がポリシラザン系SOG、ポリシロキサン系SOG、シリコン酸化膜の層構造を有するので、非常に良好な平坦性を有する層間絶縁膜又バッシャーベーション膜等の平坦化膜を備えた半導体装置を得ることができる。従って、導電配線層のフォトリソグラフィによるバターニングの寸法精度が上昇し、また、カバー膜を均一に堆積することができ、パッケージからの局所的な応力集中というダメージを軽減することができる。

【0049】また、減圧熱処理を施すことによりポリシラザン系SOGから発生する反応生成物であり、かつ膜質等に悪影響を及ぼす $H_2O$ 、 $NH_3$ 、 $ROH$ （アルコール；Rはアルキル基を示す。）を強制的に排出除去するので、非常に良質な平坦化膜を備えた半導体装置を得ることができる。従って、導電配線層のエレクトロマイグレーションを防止でき、半導体装置の信頼性が向上する。

【0050】さらに、ポリシロキサン系SOGの重ね塗りや、SOGエッチバックにより平坦化する場合に比

べ、半導体製造時間が短縮され、生産性が向上する。

## 【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図2】本発明の第2の実施の形態を説明するための断面図である。

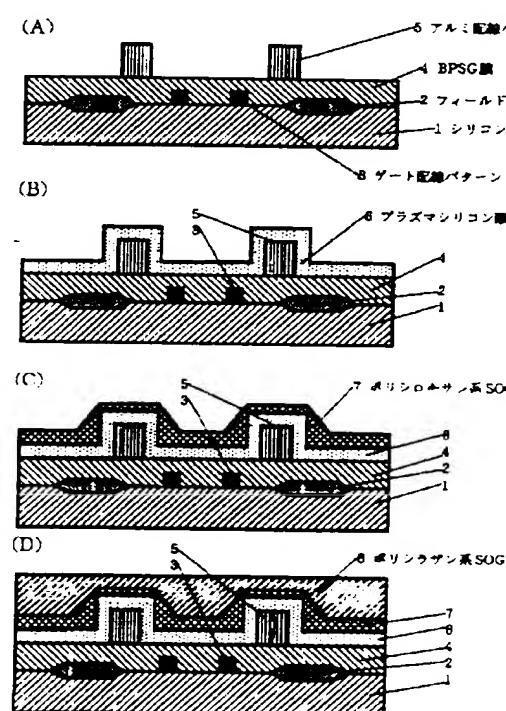
【図3】本発明の第3の実施の形態を説明するための断面図である。

【図4】本発明の第4の実施の形態を説明するための断面図である。

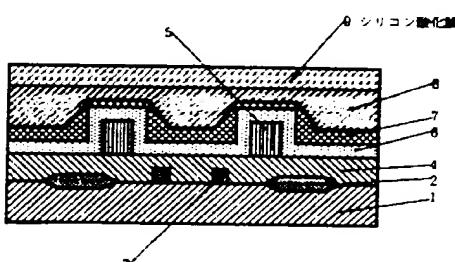
## 【符号の説明】

- 1：シリコン基板
- 2：フィールド酸化膜
- 3：ゲート配線パターン
- 4：BPSG膜
- 5：アルミ配線パターン
- 6：プラズマシリコン酸化膜・シリコン酸化膜
- 7：ポリシロキサン系SOG
- 8：ポリシラザン系SOG
- 9：シリコン酸化膜
- 10：カバー膜
- 11：シリコン酸化膜

【図1】

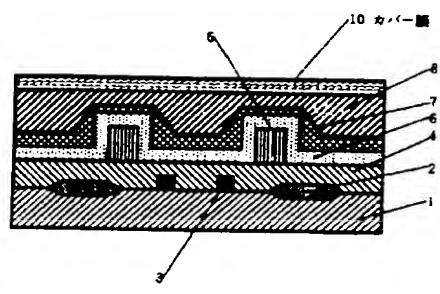


【図2】



(8) 關2000-58646 (P2000-586d図)

【図3】



【図4】

